



С К А Н

# Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

## Allegro Design Authoring базовый функционал и назначение опций

| Наименование   | Описание  | Наличие опции/<br>имя опции |
|--|---|-----------------------------|
| Flat, Hierarchical Schematic Creation                  | Создание плоского и иерархического проекта  | *                           |
| Page Navigation, Management, Hierarchy Viewer          | Навигация по листам, управление листами, просмотр иерархии проекта  | *                           |
| Variant Editor   | Работа с проектами с исполнениями (вариантами)  | *                           |
| Project Manager  | Менеджер проектов (единая среда запуска приложений по маршруту проектирования, настройки проекта)               | *                           |
| Cross Referencer                                       | Перекрыстные ссылки   | *                           |
| Archiver   | Резервное архивирование проекта   | *                           |
| Design Differences                                     | Средство анализа изменений в проекте. Синхронизация изменений схемы и топологии.                                | *                           |
| Properties Worksheet, Differential Pair Worksheet      | Управление свойствами, дифференциальными парами   | *                           |
| Support for Net Classes                                | Поддержка классов цепей   | *                           |
| User Customization                                     | Настройка рабочего окружения  | *                           |
| Part Developer   | Среда разработки компонентов  | *                           |
| Part Manager   | Среда управления библиотекой компонентов  | *                           |
| Bill-of-Materials Generator                            | Генерирование BoM   | *                           |
| Physical Design Reuse, Hierarchical Block Reuse        | Повторное использование проекта, иерархического блока   | *                           |
| Import Blocks and Sheets                               | Импорт в проект блоков и листов из другого проекта  | *                           |
| Copy Projects or Copy/Paste Within and Between Designs | Копирование проектов, копирование/вставка внутри проекта и между проектами                                      | *                           |
| Check Plus Rules Checker                               | Проверка электрических и графических правил   | *                           |
| Verilog and VHDL Netlisting                            | Поддержка нетлистов Verilog и VHDL  | *                           |
| AMS Integration  | Интеграция со средствами разработки и моделирования смешанных устройств Allegro® AMS Simulator                  | *                           |
| Build Physical Wizard for Xilinx, Actel, Altera        | Создание схемы по шаблону для ПЛИС Xilinx, Actel, Altera  | *                           |
| Customizable Menus, Custom Commands Using SKILL        | Пользовательская настройка меню, создание пользовательских команд с использованием языка программирования SKILL | *                           |
| Cross-Probing with PCB Editor                          | Перекрыстная связь между схемным и топологическим редактором, редактором ограничений                            | *                           |
| Electrical Constraints Sets                            | Управление электрическими ограничениями   | High-Speed Option           |
| Physical, Spacing Constraints                          | Управление физическими ограничениями, зазорами  | High-Speed Option           |
| Same Net Spacing                                       | Настройка зазоров между одинаковыми цепями  | High-Speed Option           |
| High-Speed Model Assignment                            | Назначение быстродействующих моделей  | High-Speed Option           |
| SigXp Topology Editor                                  | Редактор топологии для планирование межсоединений для   | High-Speed Option           |
| Allegro Viewer Plus                                    | Просмотрщик топологии Allegro   | High-Speed Option           |
| Component Revision Manager                             | Средство управления версиями компонентов  | High-Speed Option           |



С К А Н

# Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

## Allegro Design Authoring базовый функционал и назначение опций продолжение

| Наименование   | Описание   | Наличие опции/<br>имя опции  |
|--|--|------------------------------|
| Manage Shared Area                                       | Совместная работа с проектом. Управление доступом к частям проекта   | Team Design Option           |
| Assign, Notify Teams                                     | Совместная работа с проектом. Назначение групп пользователей для работы с частями проекта. Уведомление пользователей об изменениях | Team Design Option           |
| Dashboard View of Blocks in the Project                  | Совместная работа с проектом. Просмотр блоков проекта  | Team Design Option           |
| Merge / Split Blocks                                     | Совместная работа с проектом. Слияние/разделение блоков  | Team Design Option           |
| Locking  | Совместная работа с проектом. Блокировка проекта   | Team Design Option           |
| Out-of-Date Check  | Совместная работа с проектом. Проверка актуальности разрабатываемого проекта, обновление проекта                                   | Team Design Option           |
| Table / Spreadsheet-Based Design Creation                | Разработка проекта с использованием таблицы соединений   | Multi-Style Option           |
| Design Authoring Schematic Block Reuse                   | Повторное использование блока (таблица соединений)   | Multi-Style Option           |
| Import Verilog Netlist from Existing Design              | Импорт Verilog-нетлиста из существующего проекта   | Multi-Style Option           |
| Quick Connectivity Creation Functions                    | Функция для быстрого создания соединений   | Multi-Style Option           |
| Import Connectivity using Text Format                    | Импорт соединений из текстового файла  | Multi-Style Option           |
| Online Packaging   | Упаковка проекта в реальном времени  | Multi-Style Option           |
| Associated Components                                    | Автоматическое добавление согласующих пассивных элементов  | Multi-Style Option           |
| Schematic Generation for Multi-Style Designs             | Генерация схемы на основе проектов с графическим описанием соединений и табличным  | Multi-Style Option           |
| Import Verilog   | Импорт Verilog-файлов  | Multi-Style Option           |
| Custom Reports   | Генерирование пользовательских отчетов   | Multi-Style Option           |
| TCL Support for Scripting and Extensions                 | Поддержка TCL для разработки скриптов и расширений   | Multi-Style Option           |
| Route-Aware Automatic FPGA Pin Assignment                | Назначение выводов ПЛИС с учётом оптимальной трассировки и правил ПЛИС   | FPGA System Planner Option   |
| Automatic Symbol, Schematic Creation for FPGA Sub-System | Автоматическое генерирование символов и схемы для элементов ПЛИС   | FPGA System Planner Option   |
| Custom-Board ASIC Prototyping with FPGAs                 | Поддержка использования в проекте СБИС, синхронизация выводов и соединений СБИС и печатной платы                                   | FPGA ASIC Prototyping Option |
| Create and Publish Intelligent PDFs                      | Экспорт данных проекта в PDF-формат  | Design Publisher Option      |