



С К А Н

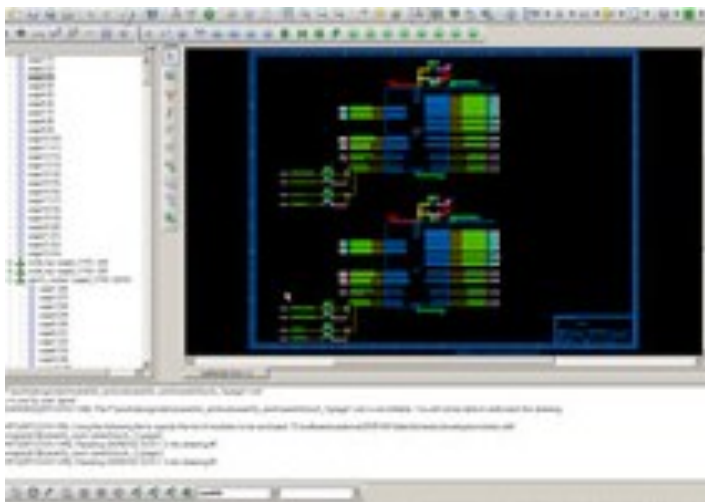
Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.



*Компания Cadence Design Systems — мировой лидер в области создания систем автоматизированного проектирования (САПР) для разработок интегральных схем, систем-на-кристалле, печатных плат и систем-в-корпусе. Основными направлениями деятельности Cadence Design Systems являются исследования и разработки в области САПР, внедрение и техническая поддержка программного обеспечения, подготовка специалистов для работы с программными продуктами Cadence, создание собственных дизайн-центров, предоставляющих услуги по проектированию.

Общее описание



Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

Средства проектирования поддерживают большое количество утилит, позволяющих качественно ускорить разработку печатной платы. Также поддерживается многократное использование результатов разработки: схемных, топологических и библиотечных решений, работа с иерархическими

проектами и многопользовательская совместная работа.

Интеграция с платформой моделирования и верификации Cadence Incisive® и Spice® позволяет выполнять цифровое, аналоговое и смешанное моделирование непосредственно в среде Allegro. Allegro Design Authoring также предлагает набор опций для интеграции с маршрутом проектирования ПЛИС.

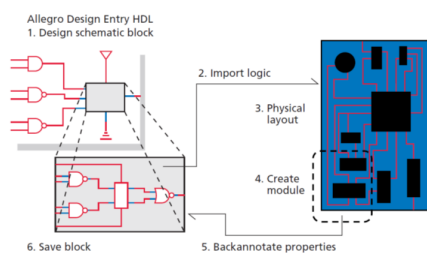


Рисунок. Использование предыдущих результатов разработки.

Достоинства:

- Меньшие затраты по времени при разработке проектов
- Параллельная работа разработчика и конструктора
- Сокращение количества ошибок (циклов перепроектирования) за счет выполнения ограничений и правил на всех стадиях проектирования
- Специальные правила и поддержка классов цепей, шин, дифференциальных пар.
- Сокращение количеств ошибок за счет гибкой поддержки использования предыдущих результатов разработки
- Интегрирован с цифровых, аналоговым и пред топологическим анализом целостности сигналов.
- Обеспечивает полный, сквозной цикл разработки печатной платы в Allegro PCB Editor
- Поддерживает разработку библиотек и систему управления данными библиотеки

Конфигурации:

- *Allegro System Architect* — схемотехнический редактор, поддерживающий различные способы описания проекта (табличный ввод соединений, традиционное графическое описание, HDL/Verilog), которые могут быть использованы в различных комбинациях в одном и том же проекте.
- *Allegro Design Entry HDL* — полное масштабируемое решения по разработке схем для разработки печатных плат и систем в корпусе.
- *Allegro Design Publisher* — средство автоматической генерации контекстно зависимого PDF файла из редактора схем

Продукты поддерживают технологию разработки под управлением правил проектирования и широкий спектр функций направленных на решение задач многопользовательской разработки и использования предыдущих результатов разработки. Оба схемотехнических редактора интегрированы со средой ввода ограничений Constraint Manager и топологическим редактором Allegro PCB Editor.

- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

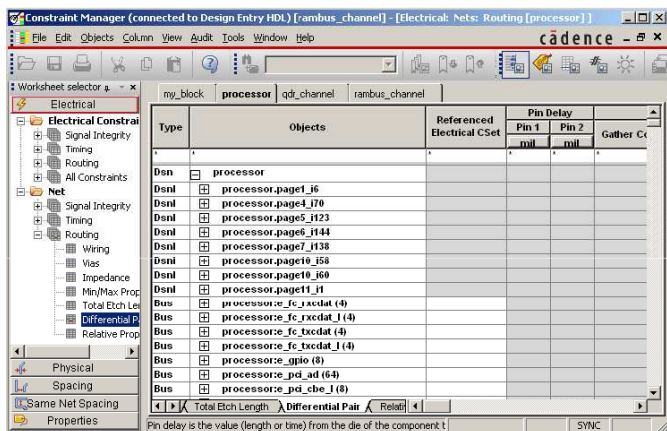
119330, г. Москва, ул. Дружбы, 10Б,
тел.: +7 (495) 7395005,
факс: +7 (495) 2340036,
e-mail: eda@scanru.ru,
web: <http://scanru.ru>



СКАН

Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.



Управление правилами и ограничениями

Интеграция со средой ввода ограничений и правил Constraint Manager позволяет достаточно просто вводить электрические и физические правила проектирования. Кроме собственно цепей можно работать с классами цепей, шинами, дифференциальными парами и группами цепей с набором правил выравнивания.

Единожды введенные правила и ограничения могут быть использованы повторно в проекте или других проектах за счет настроек электрических правил (ECSet). Так же поддерживается конкурентная работа с правилами и ограничениями на уровне схемы и топологии, с возможностью двусторонней синхронизации правил в любом направлении с использованием утилиты Design Differences.

Удобная, табличная среда ввода значений ограничений и правил упрощает понимание соответствия правил и данных проекта, на которые эти правила действуют.

Поддержка принципов корпоративного управления

Технологии схемотехнического проектирования Cadence ориентированы на сетевую работу и поддерживают средства централизованного управления, снижая тем самым стоимость владения продуктом. Настройки по умолчанию, меню, утилиты, все это можно настроить в соответствии с корпоративными стандартами или с учетом требований конкретных пользователей. Администратор может заблокировать любую опцию, которая может быть использована, например тем или иным пользователем. К библиотекам может быть организован общий доступ, а группа разработчиков библиотек может в автоматизированном режиме уведомлять пользователей об изменении библиотеки. Поддержка скриптов и языков программирования так же обеспечивает универсальную настройку инструментов под стандарты предприятия и требования пользователя.

Все программы и утилиты могут быть выполнены из командной строки, что позволяет построить автоматизированный процесс разработки. Все программные опции контролируются файлом проекта, что позволяет пользователям запускать программы, соответствующие роли пользователя в проекте.

Многопользовательская разработка

Технологии разработки проектов позволяют одновременно работать различным инженерам над одним и тем же проектом. Проект может быть разделен между различными исполнителями, причем каждый из них может работать в своей части параллельно. Разработчик каждого блока защищен от изменений его блока другими участниками проектирования, но проект в целом является синхронным и учитывает изменения каждого из блоков, входящих в проект. Руководитель проекта может в автоматическом режиме получать информацию об изменениях того или иного блока и принимать или отклонять внесенные изменения.

Многократное использование результатов разработки

Многие разработки начинаются с использованием решений, примененных в других проектах. Cadence предлагает различные решения, позволяющие эффективно использовать результаты разработок. Отдельные листы схем, различные блоки или целые проекты могут быть заимствованы, что существенно сокращает количество ошибок и циклов перепроектирования. Инженеры могут начать разработку нового проекта, на основе существующего, использовать правила и ограничения из заимствованного проекта и т.д.

Технология многократного использования блоков базируется на механизме создания блока, размещения его в центральной библиотеке и использования в новых разработках, аналогично обычному компоненту. При этом сохраняется информация о соединениях, размещении и трассировке, правилах, ограничениях. Один и тот же блок может использоваться несколько раз в одном и том же проекте без копирования, переименования и многократной модификации данных блока.



PCB

Ethernet

PCI

USB

Processor

Serial
Flash

- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

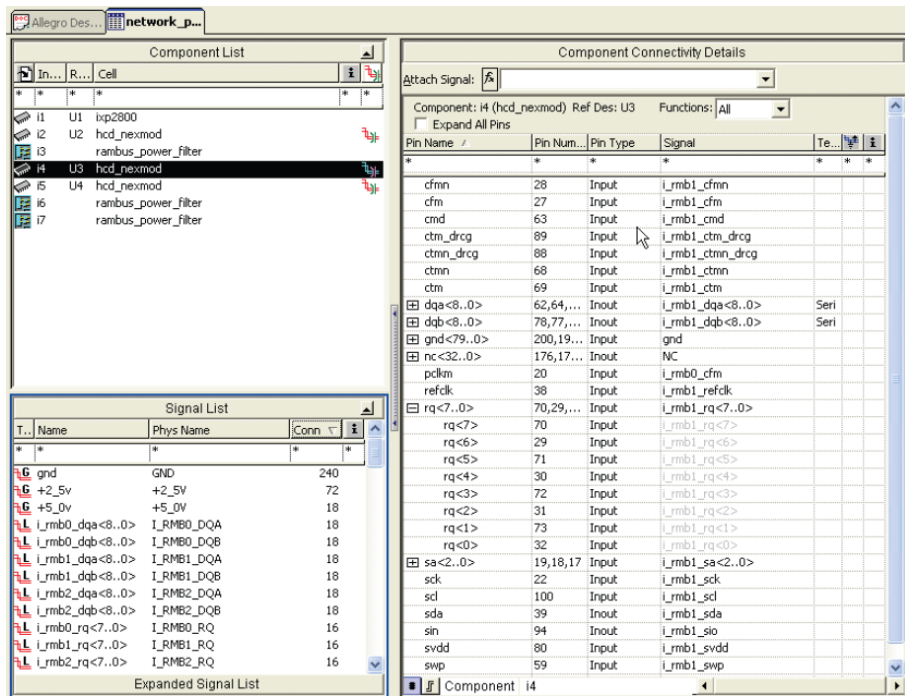
119330, г. Москва, ул. Дружбы, 10Б,
тел.: +7 (495) 7395005,
факс: +7 (495) 2340036,
e-mail: eda@scanru.ru,
web: http://scanru.ru



СКАН

Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.



Создание документации в PDF формате

(Опция доступна для Allegro Design Entry HDL L / XL)

Опция Allegro Design Publisher конвертирует схему Allegro Design Entry HDL в формат PDF, позволяющий легко и безопасно обмениваться данными проектов. Полученный PDF документ содержит иерархию, в соответствии со структурой проекта, атрибуты элементов схемы и правила.

Табличный ввод схем

(Доступно только в опции Allegro System Architect GXL)

Оптимизированный для разработки систем, табличный редактор дает неоспоримые преимущества и улучшенные технологии ввода, такие как сортировка, фильтрация, поиск, копирование/вставка и т.д. Таблицу соединений можно представить в двух видах: по компонентам и по цепям. Такой способ ввода позволяет редактировать соединения

сразу нескольких компонентов и существенно упрощает навигацию по проекту и отладку. Интерфейс редактора может быть настроен в соответствии с требованиями пользователя, пользователь может выбрать различные способы отображения объектов.

Этот функционал обеспечивает не только быстрый и простой ввод связей для компонентов с большим числом выводов, но и позволяет разработчикам не использовать различные условные графические изображения компонентов на различных листах.

Специальный вид таблицы соединений в виде матрицы позволяет легко и быстро вводить соединения между компонентами и сигналами в одной таблице. Такой ввод идеален, например, при подключении многовыводной шины к выводам компонента. Табличный ввод схем существенно сокращает время на разработку схем с соединением многовыводных компонентов по сравнению с классическим графическим способом.

Автоматическое добавление согласующих пассивных элементов

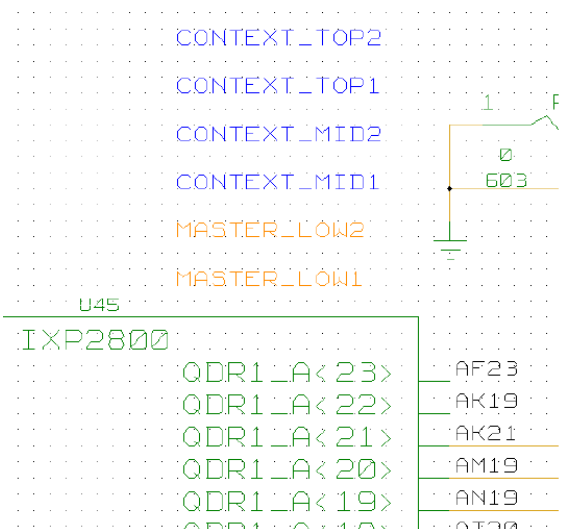
(Доступно только в опции Allegro System Architect GXL)

Огромное количество дискретных компонентов – последовательных и параллельных согласующих нагрузок, подтягивающих резисторов, шунтирующих конденсаторов приводит к тому, что огромное количество времени при разработке схем тратится на подключение цепей к таким элементам. Allegro System Architect GXL обладает специальными функциями для подключения таких компонентов к компонентам с большим числом выводов в табличном редакторе соединений. Редактор распознает специальные элементы, дифференциальные пары, шины и автоматизировано добавляет дискретные элементы.

Отчеты и генерация схемы

(Доступно только в опции Allegro System Architect GXL)

Различная информация из данных проекта может быть получена в виде отчетов в различных форматах, включая HTML, CVS и другие. Отчеты по проекту также могут содержать информацию о перекрестных связях цепей или компонентов.



- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

119330, г. Москва, ул. Дружбы, 10Б,
тел.: +7 (495) 7395005,
факс: +7 (495) 2340036,
e-mail: eda@scan.ru,
web: http://scan.ru



СКАН

Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

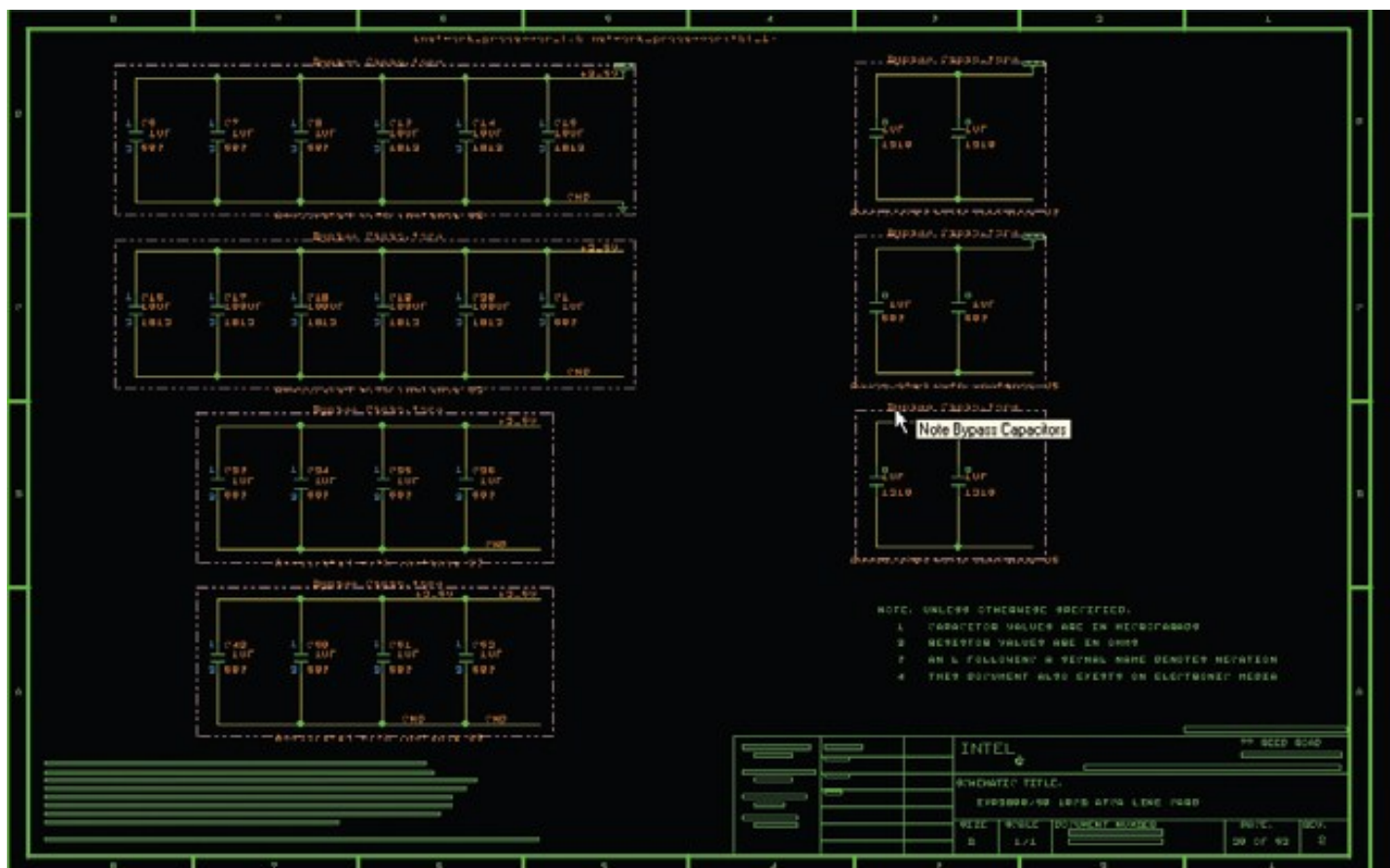


Рисунок. Генерация схемы для цепей питания.

Дополнительные утилиты

Платформа создания проектов Allegro содержит ряд дополнительных утилит, таких как:

- Part Manager средство верификации и соответствия компонентов библиотеки и данных проекта
- Global Replace – поиск компонентов по заданным атрибутам и замена их на другие по заданным критериям
- Global Find – глобальный поиск и Global Navigate – глобальная навигация, позволяют просто и быстро находить компоненты, выводы, цепи в любом месте проекта
- Перекрестная связь с PCB Editor, часто используется для выбора компонента в схеме и его размещения на печатной плате.
- Bill-of-Materials (BOM) Generator – генератор BOM файлов. Может быть настроен на вывод любых данных с заданными алгоритмами сортировки
- Создание таблиц соединений в автоматизированном режиме (таблица подключения питающих напряжений, таблица соединений компонента и т.д.)
- Design Differences – сравнение схемы и топологии, включает сравнение списка соединений, атрибутов, ограничений и правил.
- Project Manager – среда запуска средств проектирования, среда управления данными и настройками проекта.
- Build Physical Wizard – позволяет достаточно просто интегрировать данные средств проектирования ПЛИС Xilinx, Actel и Altera в топологию печатной платы
- Automatic Table Of Contents (TOC) – средство автоматизированной подготовки документации
- Allegro Design Publisher – средство автоматической генерации контекстно зависимого PDF файла из редактора схем
- Variant Editor – редактор вариантов (исполнений в отечественной терминологии) одного и того же проекта.



С К А Н

Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

Allegro Design Authoring базовый функционал и назначение опций

Наименование	Описание	Наличие опции/ имя опции
Flat, Hierarchical Schematic Creation	Создание плоского и иерархического проекта	*
Page Navigation, Management, Hierarchy Viewer	Навигация по листам, управление листами, просмотр иерархии проекта	*
Variant Editor	Работа с проектами с исполнениями (вариантами)	*
Project Manager	Менеджер проектов (единая среда запуска приложений по маршруту проектирования, настройки проекта)	*
Cross Referencer	Перекрыстные ссылки	*
Archiver	Резервное архивирование проекта	*
Design Differences	Средство анализа изменений в проекте. Синхронизация изменений схемы и топологии.	*
Properties Worksheet, Differential Pair Worksheet	Управление свойствами, дифференциальными парами	*
Support for Net Classes	Поддержка классов цепей	*
User Customization	Настройка рабочего окружения	*
Part Developer	Среда разработки компонентов	*
Part Manager	Среда управления библиотекой компонентов	*
Bill-of-Materials Generator	Генерирование BoM	*
Physical Design Reuse, Hierarchical Block Reuse	Повторное использование проекта, иерархического блока	*
Import Blocks and Sheets	Импорт в проект блоков и листов из другого проекта	*
Copy Projects or Copy/Paste Within and Between Designs	Копирование проектов, копирование/вставка внутри проекта и между проектами	*
Check Plus Rules Checker	Проверка электрических и графических правил	*
Verilog and VHDL Netlisting	Поддержка нетлистов Verilog и VHDL	*
AMS Integration	Интеграция со средствами разработки и моделирования смешанных устройств Allegro® AMS Simulator	*
Build Physical Wizard for Xilinx, Actel, Altera	Создание схемы по шаблону для ПЛИС Xilinx, Actel, Altera	*
Customizable Menus, Custom Commands Using SKILL	Пользовательская настройка меню, создание пользовательских команд с использованием языка программирования SKILL	*
Cross-Probing with PCB Editor	Перекрестная связь между схемным и топологическим редактором, редактором ограничений	*
Electrical Constraints Sets	Управление электрическими ограничениями	High-Speed Option
Physical, Spacing Constraints	Управление физическими ограничениями, зазорами	High-Speed Option
Same Net Spacing	Настройка зазоров между одинаковыми цепями	High-Speed Option
High-Speed Model Assignment	Назначение быстродействующих моделей	High-Speed Option
SigXp Topology Editor	Редактор топологии для планирование межсоединений для быстродействующих сигналов	High-Speed Option
Allegro Viewer Plus	Просмотрщик топологии Allegro	High-Speed Option
Component Revision Manager	Средство управления версиями компонентов	High-Speed Option



С К А Н

Cadence Allegro® Design Authoring

Платформа Cadence Allegro® Design Authoring предлагает полное и масштабируемое решение по вводу данных проекта для разработки печатных плат и корпусов интегральных схем. Проект может быть разработан в виде принципиальной электрической схемы, таблицы соединений или описан на языке HDL (Verilog). Глубоко интегрированное решение с топологическим редактором Allegro PCB Designer и средой управления правилами и ограничениями проекта позволяет выполнять разработку, удовлетворяющую требованиям технического задания на всех этапах проектирования.

Allegro Design Authoring базовый функционал и назначение опций продолжение

Наименование	Описание	Наличие опции/ имя опции
Manage Shared Area	Совместная работа с проектом. Управление доступом к частям проекта	Team Design Option
Assign, Notify Teams	Совместная работа с проектом. Назначение групп пользователей для работы с частями проекта. Уведомление пользователей об изменениях	Team Design Option
Dashboard View of Blocks in the Project	Совместная работа с проектом. Просмотр блоков проекта	Team Design Option
Merge / Split Blocks	Совместная работа с проектом. Слияние/разделение блоков	Team Design Option
Locking	Совместная работа с проектом. Блокировка проекта	Team Design Option
Out-of-Date Check	Совместная работа с проектом. Проверка актуальности разрабатываемого проекта, обновление проекта	Team Design Option
Table / Spreadsheet-Based Design Creation	Разработка проекта с использованием таблицы соединений	Multi-Style Option
Design Authoring Schematic Block Reuse	Повторное использование блока (таблица соединений)	Multi-Style Option
Import Verilog Netlist from Existing Design	Импорт Verilog-нетлиста из существующего проекта	Multi-Style Option
Quick Connectivity Creation Functions	Функция для быстрого создания соединений	Multi-Style Option
Import Connectivity using Text Format	Импорт соединений из текстового файла	Multi-Style Option
Online Packaging	Упаковка проекта в реальном времени	Multi-Style Option
Associated Components	Автоматическое добавление согласующих пассивных элементов	Multi-Style Option
Schematic Generation for Multi-Style Designs	Генерация схемы на основе проектов с графическим описанием соединений и табличным	Multi-Style Option
Import Verilog	Импорт Verilog-файлов	Multi-Style Option
Custom Reports	Генерирование пользовательских отчетов	Multi-Style Option
TCL Support for Scripting and Extensions	Поддержка TCL для разработки скриптов и расширений	Multi-Style Option
Route-Aware Automatic FPGA Pin Assignment	Назначение выводов ПЛИС с учётом оптимальной трассировки и правил ПЛИС	FPGA System Planner Option
Automatic Symbol, Schematic Creation for FPGA Sub-System	Автоматическое генерирование символов и схемы для элементов ПЛИС	FPGA System Planner Option
Custom-Board ASIC Prototyping with FPGAs	Поддержка использования в проекте СБИС, синхронизация выводов и соединений СБИС и печатной платы	FPGA ASIC Prototyping Option
Create and Publish Intelligent PDFs	Экспорт данных проекта в PDF-формат	Design Publisher Option