

# Интерфейсный блок GPIO

GPIO (англ. General Purpose Input Output) — параллельный двунаправленный интерфейс общего назначения, предназначенный для управления выводами микросхем и эмуляции различных протоколов для подключения периферийных устройств.

### Общее описание

Блок имеет интерфейс Generic со стороны пользователя с конфигурируемой шириной шины данных (от 1 до 32 бит). Набор параметров позволяет сконфигурировать блок для оптимального использования в выбранной системе без изменения исходного RTL.

GPIO может использоваться для контроля двунаправленных, однонаправленных входных и выходных выводов микросхем. При работе с входными выводами или двунаправленными, настроенными на вход, генерируются маскируемые прерывания при изменении состояния вывода (по перепаду выбранного типа или по любому переключению). Для микросхем с ограниченным числом выводов имеется возможность совмещения функций различных устройств на одном выводе и управления ими.

Может использоваться для управления резисторами притяжек и эмуляции режима «открытого стока».

### Функциональные возможности

- Конфигурируемое отключение неиспользуемых регистров и типа доступа (чтение, запись) к ним
- Динамическая конфигурация направления передачи данных для каждого из выводов
- Динамическая конфигурация притяжек к «земле» и «питанию»
- Пользовательский интерфейс Generic с конфигурируемой шириной интерфейса (от 1 до 32 бит)
- Возможность побитного доступа (установка, сброс, инверсия) для каждого из регистров
- Маскируемая генерация прерываний по изменению состояния (перепад, переключение в 0, переключение в 1) для каждого из выводов
- Возможность использования в режиме «открытого стока»

## res Software registers Data Output Register data in[] addr[] Output Enable Register gpio en[] Function Enable Register Pull Enable Register Pull Type Register gpio\_pd[] Interrupt Enable Register Interrupt Source Register Interrupt Interrupt Flag Register gpio\_in[] Input Data Input Register data out[]

### Поддержка

- Техническая консультация в течение 90 дней
- Настройка под нужды Заказчика
- Дополнительная техническая поддержка
- Комплексные услуги по интеграции IP блоков

### Комплект поставки

- RTL модель на языке Verilog
- SystemC AT системная модель
- Функциональная модель для верификации
- Комплект документации на русском языке
- ПО для конфигурирования

### Характеристики и параметры

Блок синтезировался на различных библиотеках ПЛИС и СБИС. Синтез схемы с 32-битным интерфейсом Generic с использованием всех регистров дал следующие результаты:

|                                   | Fmax <sup>*</sup> , МГц | LUT/ALUT | Регистры |
|-----------------------------------|-------------------------|----------|----------|
| Xilinx Virtex5 (XC5VLX30-3FF676)  | 380                     | 1682     | 353      |
| Altera StratixII (EP2S60F672C5ES) | 58                      | 1544     | 499      |
| Generic ASIC 90 nm                | 253                     | 5095**   | 417      |

<sup>🔭 -</sup> частота рассчитывалась для максимальной температуры, минимального значения напряжения для данной библиотеки;

<sup>&</sup>lt;sup>\*</sup> - площадь выражена числом эквивалентных вентилей NAND2 с минимальной для данной технологии площадью.