



С К А Н

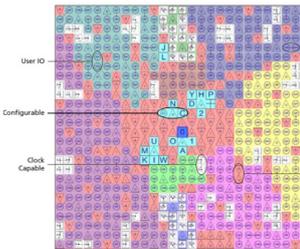
Cadence Allegro® FPGA System Planner

Allegro® FPGA System Planner это полное масштабируемое решение компании Cadence Design Systems для совместного проектирования ПЛИС, электрической схемы и топологии печатной платы, которое позволяет выполнять оптимальное назначение выводов в точном соответствии с правилами кристалла. Назначение выводов выполняется в автоматическом режиме, базируясь на правилах пользователя, интерфейсах подключения к выводам, правил производителя кристалла ПЛИС и реального размещения компонента ПЛИС на печатной плате.



Компания Cadence Design Systems — мировой лидер в области создания систем автоматизированного проектирования (САПР) для разработок интегральных схем, систем-на-кристалле, печатных плат и систем-в-корпусе. Основными направлениями деятельности Cadence Design Systems являются исследования и разработки в области САПР, внедрение и техническая поддержка программного обеспечения, подготовка специалистов для работы с программными продуктами Cadence, создание собственных дизайн-центров, предоставляющих услуги по проектированию.

Общее описание

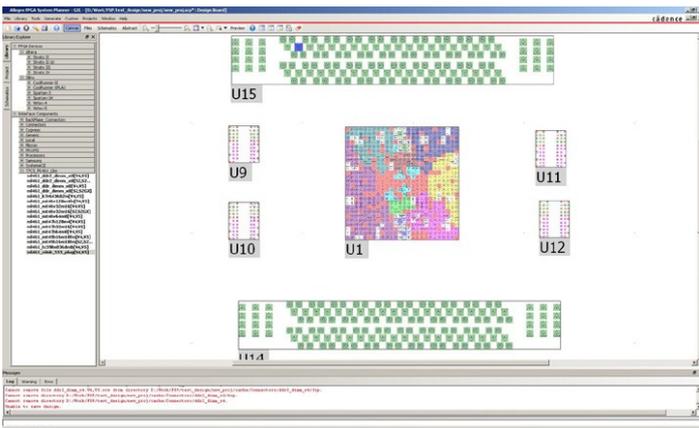


Интеграция ПЛИС, с их большим количеством типов выводов и правил конфигурирования выводов, с печатной платой является трудоемкой задачей, которая вносит существенный вклад в сроки проектирования. Часто назначения выводов ПЛИС выполняются в ручном режиме, без учета размещения критических компонентов, которые соединены с ПЛИС. Без понимания размещения и трассировки проекты с ПЛИС неизбежно стоят перед ограниченным выбором: или жить с неоптимальным назначением выводов, и как следствие может увеличиться количество слоев или выполнять несколько ручных итераций переназначения выводов в конце проектирования, результатом которых могут явиться ошибки, приводящие к перепроектированию.

Allegro® FPGA System Planner это полное масштабируемое решение для совместного проектирования ПЛИС и печатной платы, которое позволяет выполнять оптимальное назначение выводов в точном соответствии с правилами кристалла. Назначение выводов выполняется в автоматическом режиме, базируясь на правилах пользователя, интерфейсах подключения к выводам, правил производителя кристалла ПЛИС и реального размещения компонента ПЛИС на печатной плате.

Автоматическое назначение выводов ПЛИС позволяет избежать ошибок в начальной стадии проектирования и учесть размещение ПЛИС и связи с другими компонентами на печатной плате. С инструментами назначения выводов за счет использования более высокого уровня абстракции разработчики могут легко создать архитектуру проекта с ПЛИС и выбирать оптимальное назначение выводов.

Allegro® FPGA System Planner интегрирован со схемотехническими редакторами Cadence OrCAD® Capture и Cadence Allegro Design Entry (CIS и HDL). Модуль позволяет читать схему, создавать символы и иерархическую схему проекта ПЛИС для обоих редакторов. В дополнении Allegro® FPGA System Planner позволяет отобразить размещение компонентов, используя реальные топологические посадочные места и связи проекта, полученные из OrCAD PCB Designer или Allegro PCB Editor. Информация об изменении размещения компонентов и оптимизации выводов с использованием Allegro® FPGA System Planner может напрямую передаваться в Allegro PCB Editor.



Достоинства:

- Эффективное масштабируемое решение совместной разработки ПЛИС и печатной платы
- Сокращение цикла проектирования за счет оптимального назначения выводов ПЛИС в начальной стадии проектирования
- Быстрая интеграция со средой разработки топологии печатной платы
- Нет необходимости выполнения многократного перепроектирования для достижения оптимальных соединений ПЛИС и окружения
- Сокращение количества слоев за счет оптимального размещения выводов.

Конфигурации:

- *Allegro FPGA System Planner GXL* — назначение и оптимизация выводов более чем 4-х ПЛИС, используемых в проекте одновременно. Подходит для компаний, использующих ПЛИС для прототипирования СБИС (поддержка схемотехнических редакторов Allegro Design Entry CIS / Allegro Design Entry HDL)
- *Allegro FPGA System Planner XL* — назначение и оптимизация выводов более до 4-х ПЛИС, используемых в проекте одновременно (поддержка схемотехнических редакторов Allegro Design Entry CIS / Allegro Design Entry HDL).
- *Allegro FPGA System Planner L* — назначение и оптимизация выводов одной ПЛИС, используемой в проекте (поддержка схемотехнических редакторов Allegro Design Entry CIS / Allegro Design Entry HDL).
- *OrCAD FPGA System Planner* — назначение и оптимизация выводов одной ПЛИС, используемой в проекте. (поддержка схемотехнического редактора OrCAD Capture).

- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

119330, г. Москва, ул. Дружбы, 10Б,
тел.: +7 (495) 7395005,
факс: +7 (495) 2340036,
e-mail: eda@scanru.ru,
web: http://scanru



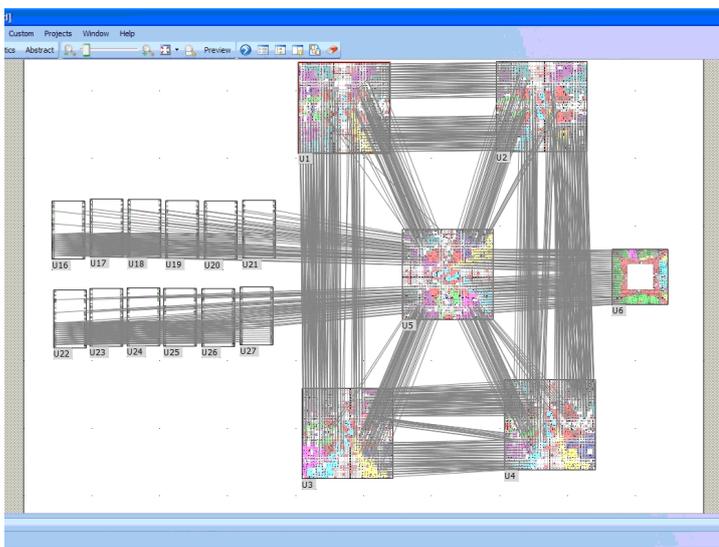
С К А Н

Cadence Allegro® FPGA System Planner

Allegro® FPGA System Planner это полное масштабируемое решение компании Cadence Design Systems для совместного проектирования ПЛИС, электрической схемы и топологии печатной платы, которое позволяет выполнять оптимальное назначение выводов в точном соответствии с правилами кристалла. Назначение выводов выполняется в автоматическом режиме, базируясь на правилах пользователя, интерфейсах подключения к выводам, правил производителя кристалла ПЛИС и реального размещения компонента ПЛИС на печатной плате.

Технологии Allegro® FPGA System Planner

Типовой проект с ПЛИС – это печатная плата с одним или несколькими кристаллами ПЛИС и компонентами, подключенными к ПЛИС. В традиционной методике проектирования типично выводы ПЛИС назначаются в ручном режиме и без привязки к расположению ПЛИС на реальной печатной плате и без учета возможности трассировки сигналов интерфейсов, подключенных к ПЛИС. При этом невозможно проверить правильность выбора типа вывода для использования с тем или иным видом сигнала. Как результат – несколько итераций по изменению схемы, топологии и размещения и трассировки в кристалле ПЛИС в среде разработки ПЛИС. Часто эти итерации обусловлены невозможностью трассировки сигналов от выводов ПЛИС на доступных слоях печатной платы, и конструктору приходится оптимизировать расположение выводов ПЛИС, согласовывая постоянно возможность обмена выводами с разработчиком ПЛИС.



Все это приводит к увеличению цикла проектирования, а также ошибкам, которые приводят к росту стоимости прототипа и количеству итераций проектирования.

Возможность синхронизации изменений назначения выводов, выполненных разработчиком ПЛИС, электрической схемы и конструктором не является решением описанных проблем – такое назначение должно выполняться с учетом трех аспектов:

- Доступности ресурсов ПЛИС
- Правил назначения выводов в кристалле ПЛИС
- Возможности трассировки выводов от кристалла ПЛИС на плате

Учет всех факторов возможен только на заключительном этапе цикла проектирования – размещения и трассировки печатной платы, поэтому возможность интеграции маршрута проектирования ПЛИС и печатной платы является определяющим в сокращении сроков и ошибок проектирования.

Определение состава и структуры проекта

Allegro® FPGA System Planner поставляется с библиотекой микросхем ПЛИС. Библиотека содержит вид корпуса компонента ПЛИС, поэтому при размещении кристалла ПЛИС в проекте Вы оперируете сразу с реальными соединениями ПЛИС и ее окружением так как это было бы на печатной плате.

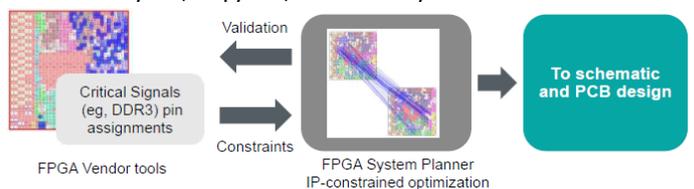
Allegro FPGA System Planner позволяет назначать типы соединений между микросхемами ПЛИС и другими компонентами проекта на высоком уровне абстракции – на уровне интерфейсов. Пользователь может создать интерфейс (например, DDR2, DDR3 или PCI Express) и использовать его для соединения микросхемы ПЛИС и модуля памяти DIMM, или соединения двух ПЛИС. При этом компоненты проекта подключатся автоматически с учетом списка цепей, соответствующего интерфейсу, правил подключения дифференциальных пар, цепей питания и синхронизации.

Правила производителя ПЛИС

Allegro® FPGA System Planner поставляется с библиотекой моделей микросхем ПЛИС в которой типы выводов и правила их назначения поставляются производителем кристалла ПЛИС. Эти модели используются средствами синтеза для верификации корректного, в соответствии с использованием назначения типа выводов. Правила назначения выводов могут определять различные критерии, например выбор цепей и регионов синхронизации, соответствующего банка питания, опорные напряжения для различных типов входов/выходов и т.д. В процессе синтеза Allegro® FPGA System Planner автоматически проверяет сотни комбинаций правил, чтобы убедиться в правильности и оптимальности назначения и распределения

Тесная интеграция со схемотехническими редакторами

Allegro® FPGA System Planner может автоматизированно генерировать электрические схемы системы с ПЛИС, а так же символы ПЛИС для редакторов Allegro Design Entry CIS и Allegro Design Entry HDL. Пользователь может управлять процессом генерации символов – использовать один символ для системы или разбить на несколько, соответствующих функциональному назначению.



- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

119330, г. Москва, ул. Дружбы, 10Б,
тел.: +7 (495) 7395005,
факс: +7 (495) 2340036,
e-mail: eda@scanru.ru,
web: http://scanru.ru



С К А Н

Cadence Allegro® FPGA System Planner

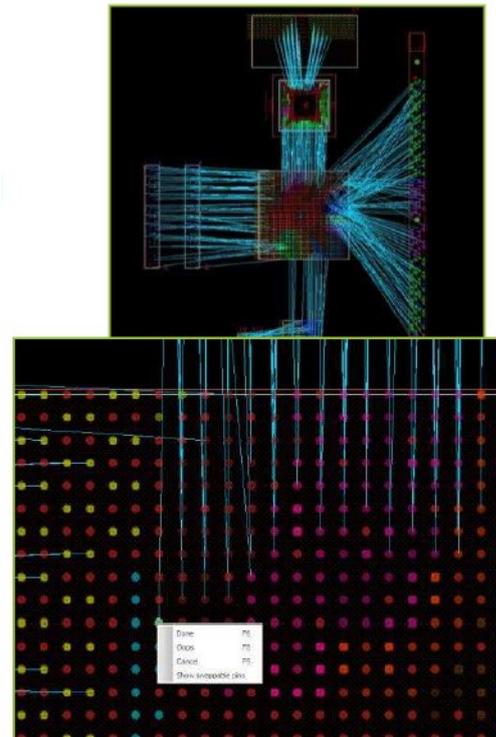
Allegro® FPGA System Planner это полное масштабируемое решение компании Cadence Design Systems для совместного проектирования ПЛИС, электрической схемы и топологии печатной платы, которое позволяет выполнять оптимальное назначение выводов в точном соответствии с правилами кристалла. Назначение выводов выполняется в автоматическом режиме, базируясь на правилах пользователя, интерфейсах подключения к выводам, правил производителя кристалла ПЛИС и реального размещения компонента ПЛИС на печатной плате.

Назначение выводов с учетом размещения

Allegro® FPGA System Planner предлагает пользователю инструменты создания проекта с ПЛИС с использованием реальных корпусов. Пользователь может достаточно просто создать проект, используя так называемый верхний уровень абстракции – когда соединения между компонентами системы задаются на уровне интерфейсов, например DDRx, PCI Express, SATA, Front Side Bus и т.д. При определении интерфейса подключения между компонентами Allegro® FPGA System Planner автоматически соединяет компоненты сигналами соответствующими выбранному интерфейсу с учетом правил их подключения к ПЛИС и типовым элемента конструкции (соединители, ножевые разъемы и т.д.).

Allegro® FPGA System Planner имеет встроенные средства проверки правил проектирования, получаемые от производителя ПЛИС: правила назначения выводов, опорные напряжения питания, нагрузки и т.д. Средства контроля правил на всех этапах проектирования позволяют избежать ошибок назначения выводов, что существенно сокращает количество итераций проектирования, так как ПЛИС всегда корректно подключена в проекте.

Алгоритмы назначения выводов используют методы оптимизации для минимизации пересечений подключаемых цепей для достижения лучших результатов при трассировке печатной платы.

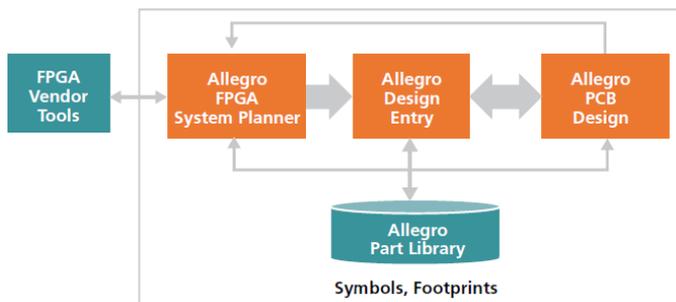


Интеграция со средствами разработки ПЛИС производителей кристаллов ПЛИС



В дополнении к интеграции со средствами разработки топологии Allegro® FPGA System Planner имеет интеграцию со средствами разработки ПЛИС. Allegro® FPGA System Planner может считывать или генерировать файлы назначений выводов и ограничений в форматах САПР разработки ПЛИС ведущих производителей кристаллов ПЛИС. Такая возможность позволяет разработчику ПЛИС быстро передать изменения назначения выводов в схему и топологию и иметь назначение выводов всегда синхронным.

Предтопологическое назначение выводов ПЛИС



Начальное назначение выводов, которое соответствует размещению компонентов, и возможности трассировки связей занимает достаточно долгое время. Порой проходит большое количество итераций проектирования между разработчиком ПЛИС, схемы и топологии, чтобы получить удовлетворяющее всех участников проектирования решение. Как только разработчик печатной платы приступает к работе по предварительному размещению и трассировке сигналов ПЛИС Allegro® FPGA System Planner позволяет выполнить оптимизацию выводов ПЛИС с учетом размещения, ограничений по слоям и т.д. и передать

- ⇒ Системы проектирования
- ⇒ Измерительное оборудование
- ⇒ Вычислительные платформы
- ⇒ Электронные компоненты

119330, г. Москва, ул. Дружбы, 10Б,
 тел.: +7 (495) 7395005,
 факс: +7 (495) 2340036,
 e-mail: eda@scanru.ru,
 web: http://scanru.ru