



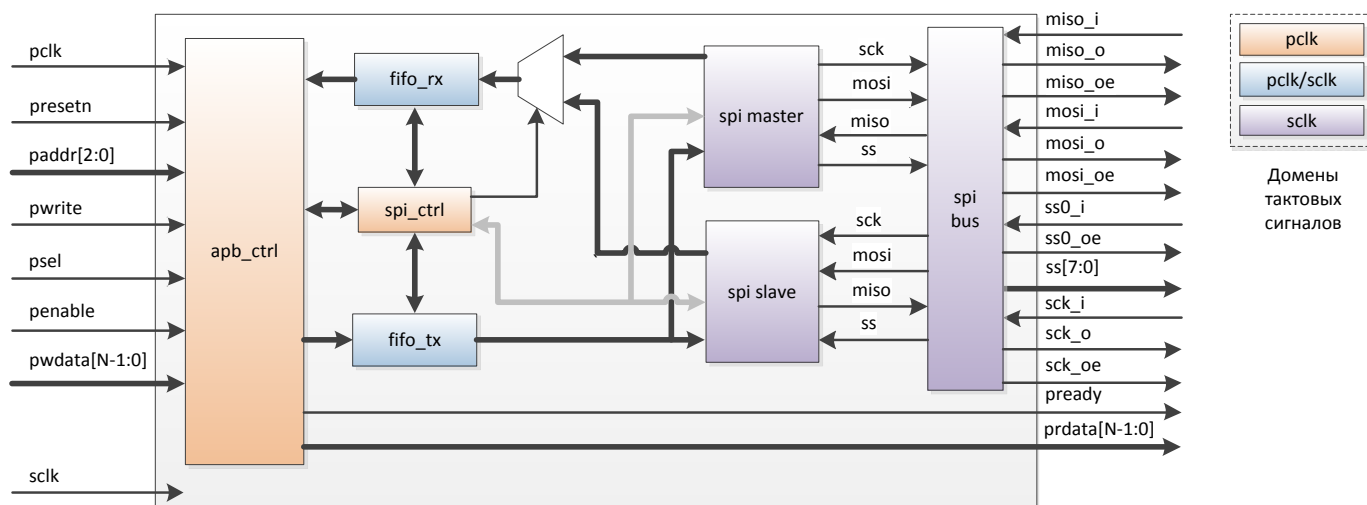
С К А Н

Интерфейсный блок SPI

SPI (англ. Serial Peripheral Interface, SPI bus) — последовательный синхронный стандарт передачи данных в режиме полного дуплекса для простого и недорогого сопряжения микроконтроллеров, микропроцессоров и различных периферийных устройств.

Общее описание

Блок имеет интерфейсы APB3 или Generic со стороны пользователя с различной шириной шины данных (8, 16 или 32 бит). В режиме ведущего SPI формирует тактовый сигнал (SCK) и управляет выбором адресуемого ведомого устройства. Данные последовательно передаются из буфера, обеспечивая максимальную пропускную способность шины SPI. В режиме ведомого тактовый сигнал формируется внешним ведущим устройством, а адресация выполняется путем управления входом ss0. Блок содержит модуль фильтрации помех на шине SPI в режиме ведомого. Блок использует 2 независимых домена тактовых частот, позволяющих выбирать частоту интерфейса SPI независимо от частоты интерфейса пользователя. Если отсутствуют требования к точной настройке частот интерфейсов SPI и пользователя, то может быть использована общая частота для обоих интерфейсов, и сокращены ресурсы, требуемые для схем синхронизации.



Функциональные возможности

- SPI Master/Slave с динамическим переключением режимов
- 4 режима передачи по SPI в соответствии с полярностью и фазой синхросигнала
- пользовательский интерфейс ведомого на шине APB или интерфейс Generic с конфигурируемой шириной интерфейса (8, 16 или 32 бит)
- до 8 сигналов выбора ведомого устройства на SPI
- буферы для приемника и передатчика (на регистрах или двухпортовом ОЗУ) с конфигурируемым размером до 16 Кб
- синхронная схема с 2 независимыми тактовыми доменами для интерфейсов SPI и пользователя с конфигурируемой схемой синхронизации и защиты от метастабильности
- возможность стробирования в режиме ведомого, частота SCK вплоть до 1/4 частоты SCLK

Поддержка

- Техническая консультация в течение 90 дней
- Настройка под нужды Заказчика
- Дополнительная техническая поддержка
- Комплексные услуги по интеграции IP блоков

Комплект поставки

- RTL модель на языке Verilog
- Функциональная модель для верификации
- Комплект документации на русском языке
- ПО для конфигурирования

Характеристики и параметры

Блок синтезировался на различных библиотеках ПЛИС и СБИС. Синтез схемы с 32-битным интерфейсом APB и буферами размером по 64 байт дал следующие результаты:

	Fmax*, МГц	LUT/ALUT	Регистры	ОЗУ, бит
Xilinx Virtex5 (XC5VLX30-3FF324)	360	251	200	1024
Altera StratixII (EP2S60F672C5ES)	103	592	1192	-
Generic ASIC 90 nm	58	10424**	1223	-

* - частота рассчитывалась для максимальной температуры, минимального значения напряжения для данной библиотеки;
 ** - площадь выражена числом эквивалентных вентилях NAND2 с минимальной для данной технологии площадью.